

明 細 書

DCアンプ及びその半導体集積回路

技術分野

- [0001] 本発明は、半導体集積回路基板上に作成されるDCアンプ及びその半導体集積回路に関する。

背景技術

- [0002] 従来、MOSTランジスタの製造プロセスでは、800度C程度の高温雰囲気中でシリコン表面に熱酸化膜を形成し、その熱酸化膜をゲート絶縁膜としてMOSTランジスタを製造していた。
- [0003] 半導体の生産効率を高めるためにより低い温度環境で酸化膜を形成することが望まれている。そのような要望を実現するために、例えば、特許文献1には、低温のプラズマ雰囲気中で絶縁膜を形成する技術が開示されている。
- [0004] 携帯電話等の無線通信の分野においては、機器の小型化、低コスト化を実現するために回路の集積化が行われている。
- 無線信号の復調方式として、受信信号を中間周波数に変換し、増幅した後、ベースバンド信号に変換するスーパーヘテロダイン方式、受信信号を直接ベースバンド信号に変換するダイレクトコンバージョン方式が知られている。
- [0005] ダイレクトコンバージョン方式は、スーパーヘテロダイン方式のように中間周波信号に変換する際に発生するイメージを除去するフィルタ等が不要となるので、より簡素な回路で受信機を構成することができる。
- [0006] ダイレクトコンバージョン受信機では、ミキサにおいて受信信号に90°の位相差を持った局部発振信号を混合して位相の直交する2つのベースバンド信号に変換し、そのベースバンド信号をDCアンプで増幅する必要がある。
- [0007] しかしながら、ミキサの出力信号にはDCオフセットが含まれているので、そのままDCアンプで増幅すると、DCオフセットも増幅され、ベースバンド信号の増幅利得が充分にとれないという問題がある。
- [0008] そのような問題点を解決するために、例えば、図7に示すように、オペアンプ71の入

力側にDCオフセットを吸収するための比較的大容量のコンデンサ72を接続する回路が考えられている。

特許文献1:特開2002-261091号公報(図1, 段落0022等)

特許文献2:特開2002-217769号公報

[0009] しかしながら、図7のDCオフセットを除去できるような大容量のコンデンサ72を集積回路基板上に形成することは難しいので、外付けのコンデンサを使用することになる。外付けのコンデンサを使用するためには、半導体集積回路にコンデンサを接続する端子73を設ける必要があり、信号の入出力端子として使用可能な外部端子の数が少なくなる。よって、必要な場合は端子を増やさなければならず、外付けコンデンサも考慮すると小型化に支障がでる。また、外付け部品を使用することにより部品コストが高くなるという問題がある。

[0010] また、ダイレクトコンバージョン受信機において、MOSTランジスタでDCアンプを構成した場合、バイポーラトランジスタに比べてMOSTランジスタは $1/f$ ノイズが大きいことから、 $1/f$ ノイズを低減するための対策を施す必要がある。

発明の開示

[0011] 本発明の課題は、高利得のDCアンプを実現することである。他の課題は、DCアンプにおける信号の歪みを少なくすることである。

本発明のDCアンプは、半導体集積回路基板上に形成されたDCアンプであって、第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したMIS電界トランジスタからなる差動増幅回路を有する。

[0012] この発明によれば、シリコン表面のダメージを減らし平坦度を高めることで、MIS電界効果トランジスタの特性(例えば、しきい値電圧など)のばらつきを少なくできる。これにより、DCアンプ内部で発生するDCオフセットと $1/f$ ノイズを低減することができるので、DCアンプの利得を大きくでき、DCアンプの周波数特性も改善できる。従っ

て、DCオフセットを補償するための回路が不要になる。

[0013] さらに、ゲートを立体構造にし、低温プラズマ雰囲気中でゲート絶縁膜を形成することでチャンネル長変調効果の影響を少なくし、DCアンプにおける信号の歪みを減らすことができる。

[0014] また、立体構造の異なる結晶面にゲート絶縁膜を形成することで、MIS電界効果トランジスタの電流駆動能力を向上させることができる共に、シリコン基板の主面におけるMIS電界効果トランジスタの素子面積を小さくできる。

[0015] 上記の発明において、前記突出部の頂面の第1の結晶面と側壁面の第2の結晶面にチャンネルが形成され、前記MIS電界効果トランジスタのチャンネル幅が、少なくとも前記頂面上のチャンネル幅と前記側壁面のチャンネル幅の総和からなる。

[0016] このように構成することで、2つの結晶面にチャンネルが形成されるのでMIS電界効果トランジスタの特性と電流駆動能力を向上させることができる。

上記の発明において、前記突出部は、頂面がシリコンの(100)面からなり、側壁面がシリコンの(110)面からなり、前記ソース及びドレインが、前記ゲートを挟む前記突出部及びシリコン基板の該突出部の左右の領域に形成される。

[0017] このように構成することで、シリコン基板の(100)面と(110)面にチャンネルを形成することができるので、MIS電界効果トランジスタの電流駆動能力を向上させることができる。

[0018] 上記の発明において、前記DCアンプは、pチャンネルMIS電界効果トランジスタとnチャンネルMIS電界効果トランジスタとからなり、前記pチャンネルMIS電界効果トランジスタの突出部の頂面及び側壁面のゲート幅を、前記pチャンネルMIS電界効果トランジスタとnチャンネルMIS電界効果トランジスタの電流駆動能力がほぼ等しくなるように設定する。

[0019] このように構成することで、pチャンネルMIS電界効果トランジスタとnチャンネルMIS電界効果トランジスタの寄生容量をほぼ等しくできるので、DCアンプの特性を改善できる。また、スイッチング時のノイズを低減できる。

[0020] 上記の発明において、前記DCアンプは、入力信号を差動増幅する第1及び第2のMIS電界効果トランジスタと、前記第1及び第2のMIS電界効果トランジスタのソース

またはドレインに共通接続される、定電流回路を構成する第3のMIS電界効果トランジスタとからなる。

[0021] また、上記の発明において、前記第1及び第2のMIS電界効果トランジスタのソースまたはドレインと電源との間に接続され、該第1及び第2のMIS電界効果トランジスタの負荷となる定電流回路を構成する第4及び第5のMIS電界効果トランジスタを有する。

[0022] このように構成することで、第1及び第2のMIS電界効果トランジスタからなる差動増幅回路、第3のMIS電界効果トランジスタからなる定電流回路、または第4及び第5のMIS電界効果トランジスタからなる定電流回路におけるDCオフセットを減らすことができる。また、それらの回路におけるチャネル長変調効果の影響を低減できる。

[0023] 本発明の半導体集積回路は、第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したpチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなる回路と、前記pチャネルMIS電界効果トランジスタまたはnチャネルMIS電界効果トランジスタからなる差動増幅回路を有するDCアンプとが同一回路基板上に形成される。

[0024] この発明によれば、MIS電界効果トランジスタの特性（例えば、しきい値電圧など）のばらつきを少なくすることで、DCアンプ内部で発生するDCオフセットと $1/f$ ノイズを低減することができる。これにより、DCアンプの利得を大きくできると共に、DCアンプの周波数特性も改善でき、DCオフセットを補償するための回路も不要になる。

[0025] さらに、ゲートを立体構造にし、低温プラズマ雰囲気中でゲート絶縁膜を形成することでチャネル長変調効果の影響を少なくし、DCアンプにおける信号の歪みを減らすことができる。

[0026] また、DCアンプ以外の回路に上記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタを使用することで、その回路における信号の歪みを少な

くできる。また、その回路における $1/f$ ノイズとDCオフセットを減らすことができる。

- [0027] 上記の発明において、前記DCアンプは、前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなるCMOS回路で構成される。

このように構成することで、pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの寄生容量をほぼ等しくできるので、スイッチング時のノイズを正負対称にしてノイズを減らすことができる。

図面の簡単な説明

- [0028] [図1]ラジアルラインスロットアンテナを用いたプラズマ装置の断面図である。
[図2]界面準位密度の比較図である。
[図3]実施の形態の半導体製造プロセスにより製造したシリコン基板の構造を示す図である。
[図4]実施の形態の半導体製造プロセスにより製造したMOSTランジスタの構造を示す図である。
[図5]ダイレクトコンバージョン方式の受信回路を示す図である。
[図6]DCアンプの回路を示す図である。
[図7]従来のDCアンプの回路を示す図である。

発明の実施をするための最良の形態

- [0029] 以下、本発明の実施の形態を図面を参照しながら説明する。最初に、プラズマ状態の不活性ガスを用いて低温でシリコン基板上にゲート絶縁膜(例えば、酸化膜)を形成し、MIS (metal insulator semiconductor) 電界効果トランジスタを製造する半導体製造プロセスについて説明する。ゲート絶縁膜の形成方法については、特開2002-261091号公報に開示されている。
- [0030] 図1は、半導体製造プロセスで使用されるラジアルラインスロットアンテナを用いたプラズマ処理装置の断面図である。
- 真空容器(処理室)11内を真空にし、次にシャワープレート12からアルゴン(Ar)ガスを導入した後、Arガスを排出口11Aから排出し、クリプトン(Kr)ガスに切り替える。処理室11内の圧力は133Pa(1Torr)程度に設定する。
- [0031] 次に、シリコン基板14を、加熱機構を持つ試料台13の上に置き、試料の温度を40

0°C程度に設定する。シリコン基板14の温度が200–550°Cの範囲内であれば、以下に述べる結果はほとんど同様のものとなる。

- [0032] シリコン基板14は、直前の前処理工程において希フッ酸洗浄が施され、その結果表面のシリコン未結合手が水素で終端されている。

次に、同軸導波管15からラジアルラインスロットアンテナ16に周波数が2.45GHzのマイクロ波を供給し、マイクロ波をラジアルラインスロットアンテナ16から処理室11の壁面の一部に設けられた誘電体板17を通して処理室11内に導入する。導入されたマイクロ波はシャワープレート12から処理室11内に導入されたKrガスを励起し、その結果シャワープレート12の直下に高密度のKrプラズマが形成される。供給するマイクロ波の周波数が900MHz程度以上、約10GHz程度以下の範囲にあれば、以下に述べる結果はほとんど同様のものとなる。

- [0033] 図1の構成においてシャワープレート12とシリコン基板14の間隔は約6cmに設定している。この間隔は狭いほうがより高速な成膜が可能となる。

なお、ラジアルラインスロットアンテナを用いたプラズマ装置に限らず、他の方法を用いてマイクロ波を処理室内に導入してプラズマを励起してもよい。

- [0034] シリコン基板13をKrガスで励起されたプラズマに曝すことにより、シリコン基板14の表面は低エネルギーのKrイオン照射を受け、その表面終端水素が除去される。

次に、シャワープレート12から97/3の分圧比のKr/O₂混合ガスを導入する。この際、処理室内の圧力は133Pa(1Torr)程度に維持しておく。KrガスとO₂ガスが混合された高密度励起プラズマ中では、中間励起状態にあるKr*とO₂分子が衝突し、原子状酸素O*を効率よく大量に発生できる。

- [0035] この実施の形態では、この原子状酸素O*によりシリコン基板14の表面を酸化する。従来のシリコン表面の熱酸化法では、O₂分子やH₂O分子により酸化が行われ、800°C以上の極めて高い処理温度が必要であったが、この実施の形態で行った原子状酸素による酸化処理では、400°C程度の非常に低い温度で酸化が可能である。Kr*とO₂の衝突機会を大きくするには、処理室圧力は高い方が望ましいが、あまり高くすると、発生したO*同志が衝突し、O₂分子に戻ってしまうので、最適ガス圧力が存在する。

[0036] 所望の膜厚のシリコン酸化膜(シリコン化合物層)が形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらにKr/O₂混合ガスをArガスに置換して酸化工程を終了する。本工程の前後にArガスを使用するのはKrより安価なガスをパージガスに使用するためである。本工程に使用されたKrガスは回収再利用する。

[0037] 上記の酸化膜形成に続いて、電極形成工程、保護膜形成工程、水素シンタ処理工程等を施してトランジスタやキャパシタを含む半導体集積回路を作成する。

上記の手順で形成されたシリコン酸化膜中の水素含有量を昇温放出により測定したところ、3nmの膜厚のシリコン酸化膜において面密度換算で $10^{12}/\text{cm}^2$ 程度以下であった。特にリーク電流が少ない酸化膜においてはシリコン酸化膜内の水素含有量は、面密度換算で $10^{11}/\text{cm}^2$ 程度以下であった。一方、酸化膜形成前にKrプラズマの暴露を行わなかった酸化膜は面密度換算で $10^{12}/\text{cm}^2$ を超える水素を含んでいた。

[0038] 上記のようにKrプラズマ照射により終端水素除去を施してからKr/O₂ガスを導入して酸化を行った場合には、従来のマイクロ波プラズマ酸化により形成されたシリコン酸化膜よりも同一電圧におけるリーク電流が2〜3桁も減少し、非常に良好な低リーク特性が得られた。リーク電流特性の改善は、さらに薄い1.7nm程度までの膜厚のシリコン酸化膜でも集積回路を製造できることが確認された。

[0039] また、上記の半導体製造プロセスにより得られたシリコン酸化膜について、シリコン/シリコン酸化膜界面準位密度の面方位依存性を測定してみると、どの面方位のシリコン表面においても、約 $1 \times 10^{10} \text{cm}^{-2} \text{eV}^{-1}$ の非常に低い界面準位密度が得られた。

[0040] 図2は、シリコン基板の(100)面、(110)面、(111)面の各面に上述した半導体性製造プロセスにより形成したKr/O₂膜と、従来の熱酸化膜の界面準位密度の測定結果を示す図である。

[0041] 図2に示すように、Kr/O₂膜を形成した場合には、(100)面、(110)面、(111)面の何れの面でもシリコンの界面準位密度が約 $10^{10} \cdot \text{cm}^{-2} \text{eV}^{-1}$ 以下となっている。これに対して、従来の800° C以上の雰囲気中で形成した熱酸化膜の界面準位密度は、(100)面でも1.1倍以上の値となっており、上記の半導体製造プロセスにより、界面準位密度の低い高品質の絶縁膜を形成できることが分かる。

[0042] 界面準位密度を低くすることにより、キャリアの再結合の確率を減らすことができ、それにより $1/f$ ノイズを低減することができる。

耐圧特性、ホットキャリア耐性、ストレス電流を流したときのシリコン酸化膜が破壊に至るまでの電荷量QBD (Charge-to-Breakdown)などの電気的特性、信頼性的特性に関して、第1の実施の形態の半導体製造プロセスで形成した酸化膜は、従来の熱酸化膜と同等ないしはそれ以上の良好な特性を示した。

[0043] 上述したように、表面終端水素を除去してからKr/ O_2 高密度プラズマによりシリコン酸化工程を行うことで、 $400^\circ C$ という低温において、あらゆる面方位のシリコンに優れたシリコン酸化膜を形成することができる。このような効果が得られるのは、終端水素除去により酸化膜中の水素含有量が少なくなり、かつ、酸化膜中に不活性ガス(例えば、Kr)が含有されることに起因していると考えられる。酸化膜中の水素が少ないことでシリコン酸化膜内の元素の弱い結合が少なくなり、またKrが含有されることにより、膜中やSi/ SiO_2 界面でのストレスが緩和され、膜中電荷や界面準位密度が低減され、その結果、シリコン酸化膜の電気的特性が大幅に改善されているものと考えられる。

[0044] 上述した半導体製造プロセスでは、表面密度換算において水素濃度を $10^{12}/cm^2$ 以下、望ましくは $10^{11}/cm^2$ 程度以下にすることと、 $5 \times 10^{11}/cm^2$ 以下程度のKrを含むことが、シリコン酸化膜の電気的特性、信頼性的特性の改善に寄与しているものと考えられる。

[0045] なお、上記の半導体プロセスにおいて、不活性ガスと NH_3 ガスとの混合ガス、不活性ガスと O_2 と NH_3 との混合ガスを用い、シリコン窒化膜、シリコン酸窒化膜を形成しても良い。

[0046] 窒化膜を形成することにより得られる効果は、表面終端水素を除去した後においても、プラズマ中に水素が存在することがひとつの重要な要件である。プラズマ中に水素が存在することにより、シリコン窒化膜中及び界面のダングリングボンドがSi-H、N-H結合を形成して終端され、その結果シリコン窒化膜及び界面の電子トラップが無くなると考えられる。

[0047] また、酸窒化膜を形成することにより得られる効果は、終端水素除去により酸窒化

膜中の水素含有量が減少していることだけではなく、酸窒化膜中に数割以下の窒素が含有していることにも起因しているとも考えられる。酸窒化膜のKrの含有量は酸化膜に比較すると1/10以下であり、Krの代わりに窒素が多く含有されている。すなわち、酸窒化膜中の水素が少ないために、シリコン窒化膜中において弱い結合の割合が減少し、また窒素が含有されることにより、膜中やSi/SiO₂また界面でのストレスが緩和され、その結果膜中電荷や界面準位密度が減少し、酸窒化膜の電気的特性が大幅に改善されたものと考えられる。

[0048] プラズマ雰囲気中において酸化膜、あるいは酸窒化膜を形成することにより得られた好ましい結果は、終端水素が除去されたことによることだけが原因ではなく、窒化膜、酸窒化膜中にArまたはKrが含有されることにも関係すると考えられる。すなわち、上記の半導体製造プロセスにより得られる窒化膜では窒化膜中やシリコン/窒化膜界面でのストレスが、窒化膜中に含有されるArあるいはKrにより緩和され、その結果シリコン窒化膜中の固定電荷や界面準位密度が低減され、電気的特性特には1/fノイズの低減、信頼性が大幅に改善されたものと考えられる。

[0049] 上記の半導体製造プロセスにおいて使用する不活性ガスは、Arガス、Krガスに限らず、キセノンXeガスも使用できる。

さらに、シリコン酸化膜、シリコン酸窒化膜を形成した後、真空容器1内の圧力を133Pa(1Torr)程度に保ったままシャワープレート12から分圧比98/2のKr/NH₃混合ガスを導入し、シリコン酸化膜、シリコン酸窒化膜の表面に約0.7nmのシリコン窒化膜を形成しても良い。

[0050] これにより、表面にシリコン窒化膜が形成されたシリコン酸化膜、あるいはシリコン酸窒化膜が得られるのでより高い比誘電率を有する絶縁膜を形成することができる。

上述した半導体製造プロセスを実現するためには、図1の装置の他に、プラズマを用いた低温の酸化膜形成を可能とする別のプラズマプロセス用装置を使用してもかまわない。たとえば、マイクロ波によりプラズマを励起するためのArまたはKrガスを放出する第1のガス放出構造と、O₂、NH₃、またはN₂/H₂ガスを放出する、前記第1のガス放出構造とは異なる第2のガス放出構造とをもつ2段シャワープレート型プラズマプロセス装置を使用することも可能である。

- [0051] 次に、本発明の実施の形態の半導体製造プロセスについて説明する。この半導体プロセスは、シリコン基板の(100)面と(110)面にMIS電界効果トランジスタのゲート絶縁膜を形成するものである。
- [0052] シリコンの(111)面にpチャネルトランジスタを形成すると、(100)面に比べて約1.3倍の電流駆動能力が得られ、(110)面に形成すると、(100)の面の約1.8倍の電流駆動能力が得られる。
- [0053] 図3は、実施の形態の半導体製造プロセスにより、シリコン基板22に(100)と(110)面を有する突出部23及び24を形成した状態を示している。また、図4は、実施の形態の半導体製造プロセスにより製造したnチャネルMOSTランジスタ20と、pチャネルMOSTランジスタ21の構造を示す図である。なお、図4にはゲート酸化膜の下部に形成されるチャンネルを斜線で示してある。
- [0054] 図3に示すように、(100)面を主面とするシリコン基板22は、素子分離領域22cによりp型領域Aとn型領域Bとに分離されている。領域Aには、(100)面を基準にして高さが H_A で幅が W_{1A} の直方体形状の突出部23が形成され、領域Bには、同様に高さが H_B で幅が W_{1B} の突出部24が形成されている。
- [0055] 図4に示すように、シリコン基板22の表面及び突出部23及び24の頂面及び側壁面には、上述した第1の実施の形態の半導体製造プロセスによりシリコン酸化膜が形成されている。
- [0056] そして、そのシリコン酸化膜の上にポリシリコンゲート電極25及び26が形成され、ゲート電極25及び26を形成する際に、シリコン酸化膜もパターンニングされ、ゲート電極25及び26の下部にゲート絶縁膜27及び28が選択的に形成される。
- [0057] さらに、p型領域Aのゲート電極25の両側の領域にn型不純物イオンを注入して、突出部23を含むn型拡散領域29及び30を形成している。このn型拡散領域29及び30は、nチャネルMOSTランジスタ20のソースとドレインを構成する。n型領域Bにおいても、同様にゲート電極26の両側の領域にp型不純物イオンを注入して、突出部24を含むp型拡散領域31及び32を形成している。このp型拡散領域31及び32は、p型MOSTランジスタ21のソースとドレインを構成する。
- [0058] pチャネルMOSTランジスタ21及びnチャネルMOSTランジスタ20のゲート電極26

及び25に所定の電圧が印加されると、ゲート酸化膜28及び27の下部に、図4に斜線で示すチャネルが形成される。

- [0059] nチャネルMOSトランジスタ20の(100)面のゲート幅は、突出部23の頂面(突出部23の上面)で W_{1A} 、突出部23の下部の左右のシリコン基板22の平坦部でそれぞれ $W_{2A}/2$ であるので合計で $W_{1A} + W_{2A}$ となる。また、nチャネルMOSトランジスタ20の(110)面のゲート幅、すなわち突出部23の左右の側壁面のゲート幅は、それぞれ H_A であるので合計で $2H_A$ となる。このゲート幅がチャネル幅に相当する。nチャネルMOSトランジスタ20のゲート長は LgA である。
- [0060] 従って、nチャネルMOSトランジスタ20の電流駆動能力は、 $\mu_{n1}(W_{1A} + W_{2A}) + \mu_{n2} \cdot 2H_A$ で表すことができる。なお、 μ_{n1} は(100)面における電子移動度、 μ_{n2} は(110)面における電子移動度である。
- [0061] 同様に、pチャネルMOSトランジスタ21の(100)面のゲート幅は突出部24の頂面で W_{1B} 、突出部24の下部の左右のシリコン基板22の平坦部でそれぞれ $W_{2B}/2$ であるので、合計で $W_{1B} + W_{2B}$ となる。また、pチャネルMOSトランジスタ21の(110)面のゲート幅、すなわち、突出部24の左右の側壁面におけるゲート幅は、それぞれ H_B であるので、合計のゲート幅は $2H_B$ となる。このゲート幅がチャネル幅に相当する。pチャネルMOSトランジスタ21のゲート長は LgB である。
- [0062] 従って、pチャネルMOSトランジスタ21の電流駆動能力は、 $\mu_{p1}(W_{1B} + W_{2B}) + \mu_{p2} \cdot 2H_B$ で表すことができる。 μ_{p1} は、(100)面におけるホール移動度、 μ_{p2} は、(110)面におけるホール移動度を表す。
- [0063] 以上のことから、突出部23及び24の高さ H_A を及び H_B を適宜な値に設定することで、pチャネルMOSトランジスタ21の電流駆動能力と、nチャネルMOSトランジスタ20の電流駆動能力を平衡させることができる。この条件を式で表すと、以下のようになる。
- [0064]
$$\mu_{n1}(W_{1A} + W_{2A}) + \mu_{n2} \cdot 2H_A = \mu_{p1}(W_{1B} + W_{2B}) + \mu_{p2} \cdot 2H_B$$

上記の式を満足するような値に H_A を及び H_B を設定することにより、pチャネルMOSトランジスタ21の電流駆動能力とnチャネルMOSトランジスタ20の電流駆動能力を平衡させることができる。この場合、pチャネルMOSトランジスタ21の主面(例えば、(

100)面)におけるチャネル幅を、nチャネルMOSTランジスタ20の(100)におけるチャネル幅に比べて大幅に広くする必要がないので、両者のゲート絶縁膜による寄生容量の差を小さくできる。これにより、pチャネルMOSTランジスタ21とnチャネルMOSTランジスタ20とによりCMOS構造の回路を構成した場合に、両者の寄生容量をほぼ等しくして充放電のときの電流値のアンバランスを減らし、トランジスタのスウィッチング時に発生するノイズを小さくできる。

[0065] なお、nチャネルMOSTランジスタ20のゲートの高さ H_A を「0」にし、そのnチャネルMOSTランジスタ20と電流駆動能力がほぼ等しくなるようにpチャネルMOSTランジスタ21のゲートの高さ H_B を設定しても良い。

[0066] また、pチャネルMOSTランジスタ21またはnチャネルMOSTランジスタ20を単独で形成する場合でも、pチャネルまたはnチャネルMOSTランジスタのシリコン基板の主面(例えば、(100)面)におけるゲートの面積を従来の半導体製造プロセスで製造する場合より狭くできるので、pチャネルMOSTランジスタ及びnチャネルMOSTランジスタのシリコン基板の主面に占める面積を小さくできる。これにより、半導体回路の集積度を高めることができる。さらに、pチャネル及びnチャネルMOSTランジスタの寄生容量を小さくできるので、MOSTランジスタのスウィッチング速度の向上と、スウィッチング時の消費電力を減らすことができる。

[0067] なお、シリコン表面に形成する絶縁膜は酸化膜に限らず、シリコン窒化膜、シリコン酸窒化膜等を形成しても良い。

次に、上述した実施の形態の半導体プロセスによりダイレクトコンバージョンの受信機用半導体集積回路を製造する場合について説明する。

[0068] 図5は、ダイレクトコンバージョン受信機の回路の主要部を示す図である。

アンテナ41で受信された無線信号は、ローノイズアンプ42により増幅され、ミキサ回路43及び44に入力する。

[0069] ミキサ回路43の他方の入力端子には、局部発振回路45で生成されるローカル信号が入力し、ミキサ回路44の他方の入力端子には、そのローカル信号の位相を移相器46により90度ずらしたローカル信号が入力する。

[0070] ミキサ回路43及び44において、受信信号とそれらのローカル信号が混合され、90

度の位相差を有するベースバンド信号に変換される。そして、ローパスフィルタ47, 48により所定の周波数以上の信号が減衰され、DCアンプ49, 50に出力される。

- [0071] DCアンプ49, 50は、直流成分から増幅できるアンプであり、A/D変換器51, 52の分解能に応じた信号レベルまで入力信号を増幅する。

A/D変換器51, 52は、アナログのベースバンド信号をデジタル信号に変換し、デジタル信号処理プロセッサ(DSP)53に出力する。

- [0072] DSP53は、ベースバンド信号に対してデジタル信号処理を行い、信号を復調する。

ここで、DCアンプ49, 50の回路の一例を図6を参照して説明する。

nチャネルMOSTランジスタ61, 62は、差動増幅回路を構成しており、ローパスフィルタ47または48から出力される信号 V_{in} がMOSTランジスタ61のゲートに入力し、信号 $-V_{in}$ がMOSTランジスタ62のゲートに入力している。

- [0073] nチャネルMOSTランジスタ63とnチャネルMOSTランジスタ64とはカレントミラー回路を構成し、MOSTランジスタ63のドレインは、MOSTランジスタ61, 62のソースに共通接続されている。MOSTランジスタ64のドレインは定電流源65を介して電源電圧VDDに接続され、MOSTランジスタ63, 64のゲートは、MOSTランジスタ64のドレインに接続されている。

- [0074] MOSTランジスタ63, 64は、定電流回路を構成しており、MOSTランジスタ64のドレインには定電流源65が接続されているので、MOSTランジスタ63には、その定電流源65から供給される電流に比例した一定電流が流れる。

- [0075] pチャネルMOSTランジスタ66, 67は、カレントミラー回路を構成し、ソースが電源電圧VDDに接続され、ドレインがそれぞれMOSTランジスタ61, 62のドレインに接続されている。また、MOSTランジスタ66, 67のゲートは、MOSTランジスタ66のドレインに接続されている。このMOSTランジスタ66及び67は、MOSTランジスタ61及び62の負荷として機能する。

- [0076] 上記の差動増幅回路からなるDCアンプは、入力信号 V_{in} 及び $-V_{in}$ をMOSTランジスタ61, 62で差動増幅し、増幅した信号を V_o として出力している。

DCアンプのMOSTランジスタのゲートを立体構造にし、かつ低温プラズマ雰囲気

中でゲート酸化膜を形成することで、MOSTランジスタ61と62からなる差動増幅回路のチャネル長変調効果の影響を少なくでき、差動増幅回路における信号の歪みを減らすことができる。また、差動増幅回路の負荷として機能するドレイン側の定電流回路(MOSTランジスタ66と67からなる回路)と、ソース側の定電流回路(MOSTランジスタ63と64とからなる回路)のチャネル長変調効果の影響を少なくできるので、それらの回路におけるドレイン電流の変動を少なくできる。

- [0077] 上述したように、シリコン表面のダメージを減らし表面を平坦化することで、MOSTランジスタの特性(例えば、しきい値電圧など)のばらつきを少なくできるので、回路全体のDCオフセットを小さくできる。これにより、DCオフセットを除去するための回路やコンデンサ等が不要となり、DCアンプの信号利得を大きくすることができる。DCアンプの信号利得を大きくすることで、例えば、ダイレクトコンバージョン方式の受信回路のDCアンプの後段のA/D変換器に分解能の低いD/A変換器を使用できる。
- [0078] さらに、アルゴン等のプラズマ雰囲気中でシリコン表面の終端水素を除去し、その後、酸素を含むアルゴン、クリプトン、あるいはキセノンと、酸素、窒素等の気体分子を含むプラズマの雰囲気中で、かつ550度以下の温度でシリコン絶縁膜を薄く、平坦に形成することで、シリコン表面の界面準位密度を低くすることができる。これにより、キャリアの再結合の確率を減らし、 $1/f$ ノイズを低減することができる。 $1/f$ ノイズを減らすことで、ミキサ43及び44でダウンコンバートされた信号のS/N比が改善されるので、DCアンプの利得を大きくすることができる。
- [0079] また、MOSTランジスタの電流駆動能力を向上させると共に、素子面積を小さくできるので、集積度を高め、かつ動作速度を向上できる。また、DCアンプの電界効果トランジスタの動作特性を揃え、寄生容量を減らすことができるので、差動増幅回路の周波数特性が改善され、DCオフセットが減少することから大きな信号利得を得ることができる。このようにDCオフセットや $1/f$ のノイズを低減することができるので、受信信号を音声信号に直接変換するダイレクトコンバージョン方式のDCアンプに特に有効である。
- [0080] DCアンプは、例えば、nチャネルMOSとpチャネルMOSTランジスタからなるCMOS回路で構成することも可能である。その場合、pチャネルMOSTランジスタとnチャ

ネルMOSTランジスタの寄生容量をほぼ同じ値にし、かつ寄生容量を小さくできるので回路の動作速度等が向上する。また、pチャネル及びnチャネルMOSTランジスタのオン、オフ時の電流の不平衡によるノイズを低減できる。

[0081] DCアンプ以外の周波数変換回路、A/D変換回路、デジタル回路等で使用されるpチャネルMOSTランジスタとnチャネルMOSTランジスタを上述した半導体プロセスにより製造しても良い。

[0082] このように構成することで、他の回路のpチャネルMOSTランジスタとnチャネルMOSTランジスタの特性を揃えることができるので、DCオフセットや $1/f$ ノイズを低減できる。また、MOSTランジスタの電流駆動能力が向上するので回路の動作特性も改善される。

[0083] さらに、DCアンプ、あるいは他の回路のpチャネルMOSとnチャネルMOSTランジスタのチャネルを、シリコンの異なる結晶面（例えば、(100)面と(110)）に形成するようにし、それらのチャネル幅をpチャネルMOSTランジスタとnチャネルMOSTランジスタの電流駆動能力がほぼ等しくなるように設計しても良い。

[0084] このように構成することで、pチャネルMOSTランジスタとnチャネルMOSTランジスタの寄生容量等をほぼ同じにできるので、スイッチング特性を向上できると共に、MOSTランジスタのオン、オフ時に流れる電流により発生するノイズを低減できる。

[0085] 本発明は、上述した実施の形態に限らず、以下のように構成しても良い。

本発明のDCアンプは、ダイレクトコンバージョン方式の回路に限らず、他の回路にも適用できる。また、DCアンプは、実施の形態の差動増幅回路に限らず、他の構成の増幅回路でも良い。

[0086] シリコンの結晶面は、(100)面と(110)面の組み合わせに限らず、(100)面と(111)面等の他の結晶面と組み合わせても良い。

本発明によれば、DCアンプのDCオフセットと $1/f$ ノイズを減らすことができるので、DCオフセットを補償するための回路が不要となる。また、 $1/f$ ノイズが低減されるのでDCアンプの周波数特性も改善される。さらに、チャネル長変調効果の影響を少なくし、DCアンプにおける信号の歪みを少なくできる。

請求の範囲

- [1] 半導体集積回路基板上に形成されたDCアンプであって、
第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したMIS電界トランジスタからなる差動増幅回路を有するDCアンプ。
- [2] 前記突出部の頂面の第1の結晶面と側壁面の第2の結晶面にチャンネルが形成され、前記MIS電界効果トランジスタのチャンネル幅が、少なくとも前記頂面上のチャンネル幅と前記側壁面のチャンネル幅の総和からなる請求項1記載のDCアンプ。
- [3] 前記突出部は、頂面がシリコンの(100)面からなり、側壁面がシリコンの(110)からなり、前記ソース及びドレインが、前記ゲートを挟む前記突出部及びシリコン基板の該突出部の左右の領域に形成された請求項1または2記載のDCアンプ。
- [4] 前記DCアンプは、入力信号を差動増幅する第1及び第2のMIS電界効果トランジスタと、前記第1及び第2のMIS電界効果トランジスタのソースまたはドレインに共通接続される、定電流回路を構成する第3のMIS電界効果トランジスタとからなる請求項1または2記載のDCアンプ。
- [5] 前記第1及び第2のMIS電界効果トランジスタのソースまたはドレインと電源との間に接続され、該第1及び第2のMIS電界効果トランジスタの負荷となる定電流回路を構成する第4及び第5のMIS電界効果トランジスタを有する請求項4記載のDCアンプ。
- [6] 第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したpチャンネルMIS電界効果トランジスタとnチャンネルMIS電界効果トランジスタとからなる回路と

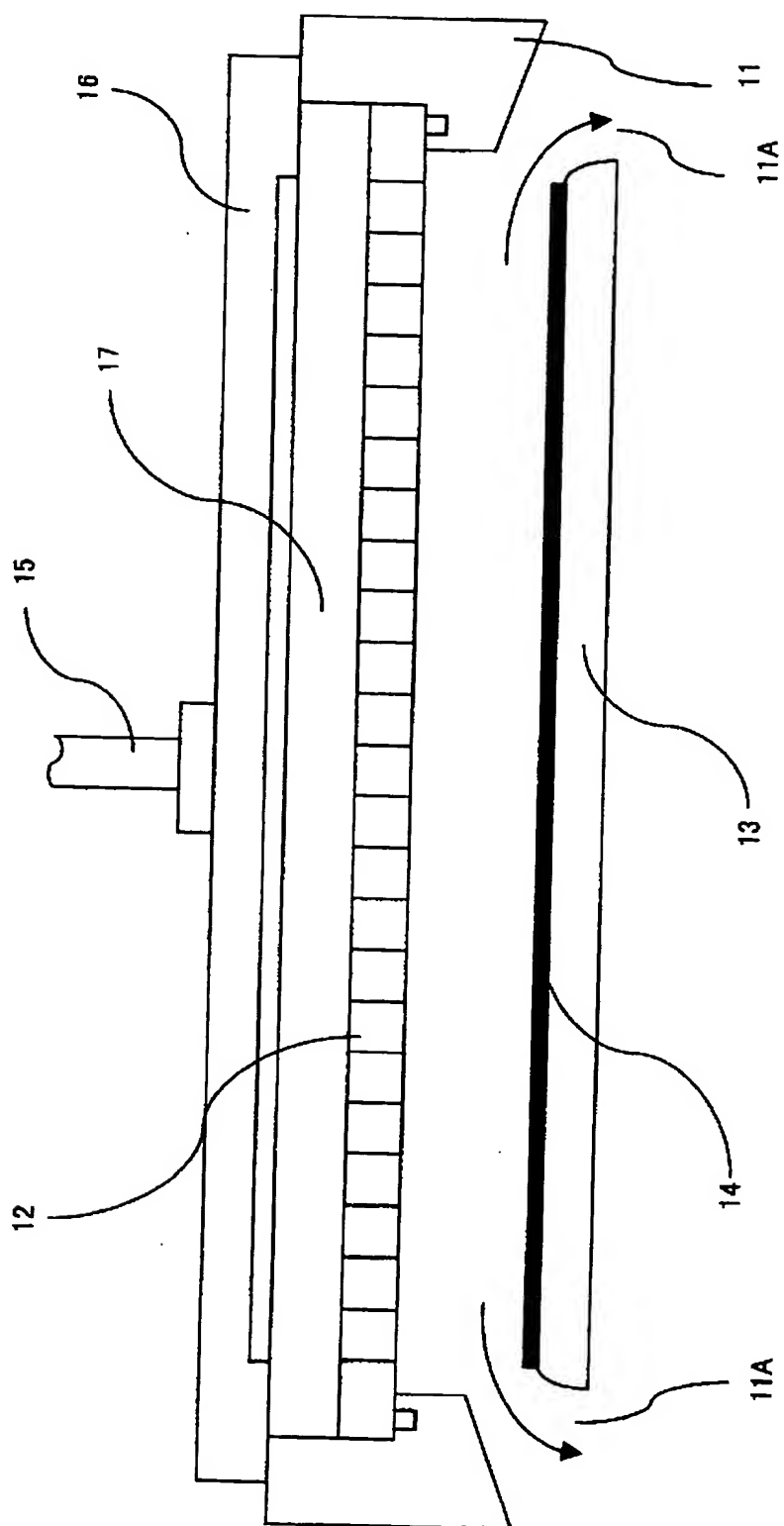
、

前記pチャネルMIS電界効果トランジスタまたはnチャネルMIS電界効果トランジスタからなる差動増幅回路を有するDCアンプとが同一回路基板上に形成された半導体集積回路。

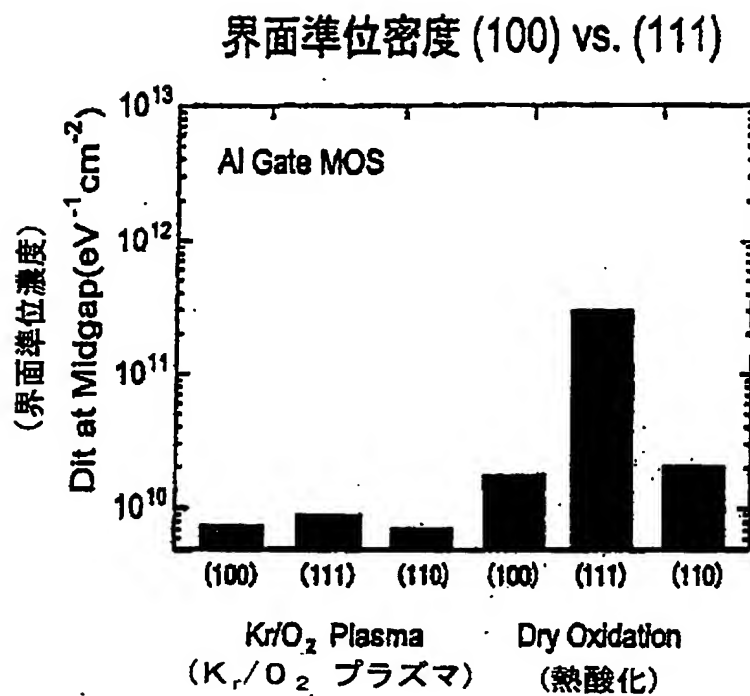
[7] 前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの頂面及び側壁面のゲート幅を、前記pチャネルMIS電界効果トランジスタと前記nチャネルMIS電界効果トランジスタの電流駆動能力がほぼ等しくなるように設定した請求項6記載の半導体集積回路。

[8] 前記リミッタ回路は、前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなるCMOS回路で構成される請求項6または7記載の半導体集積回路。

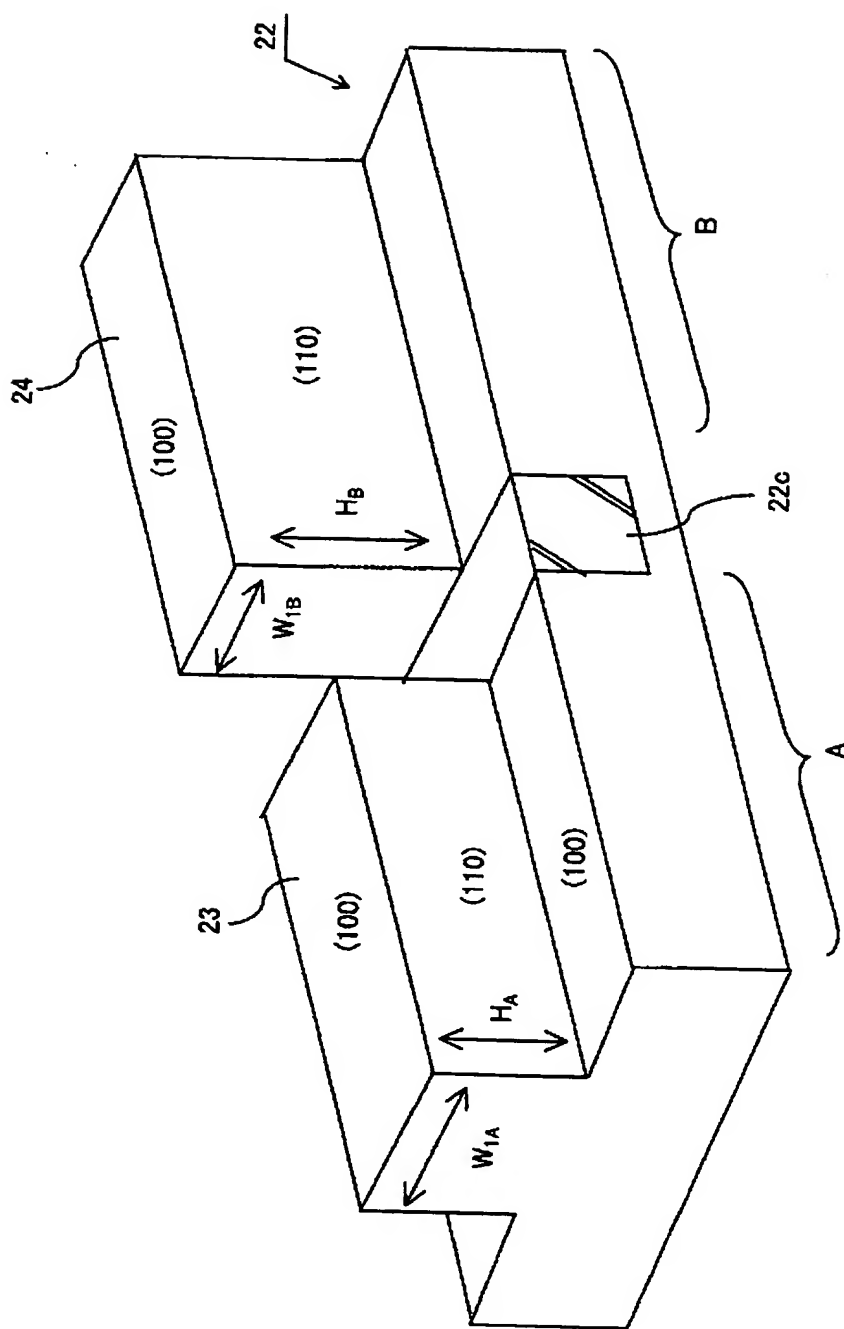
[図1]



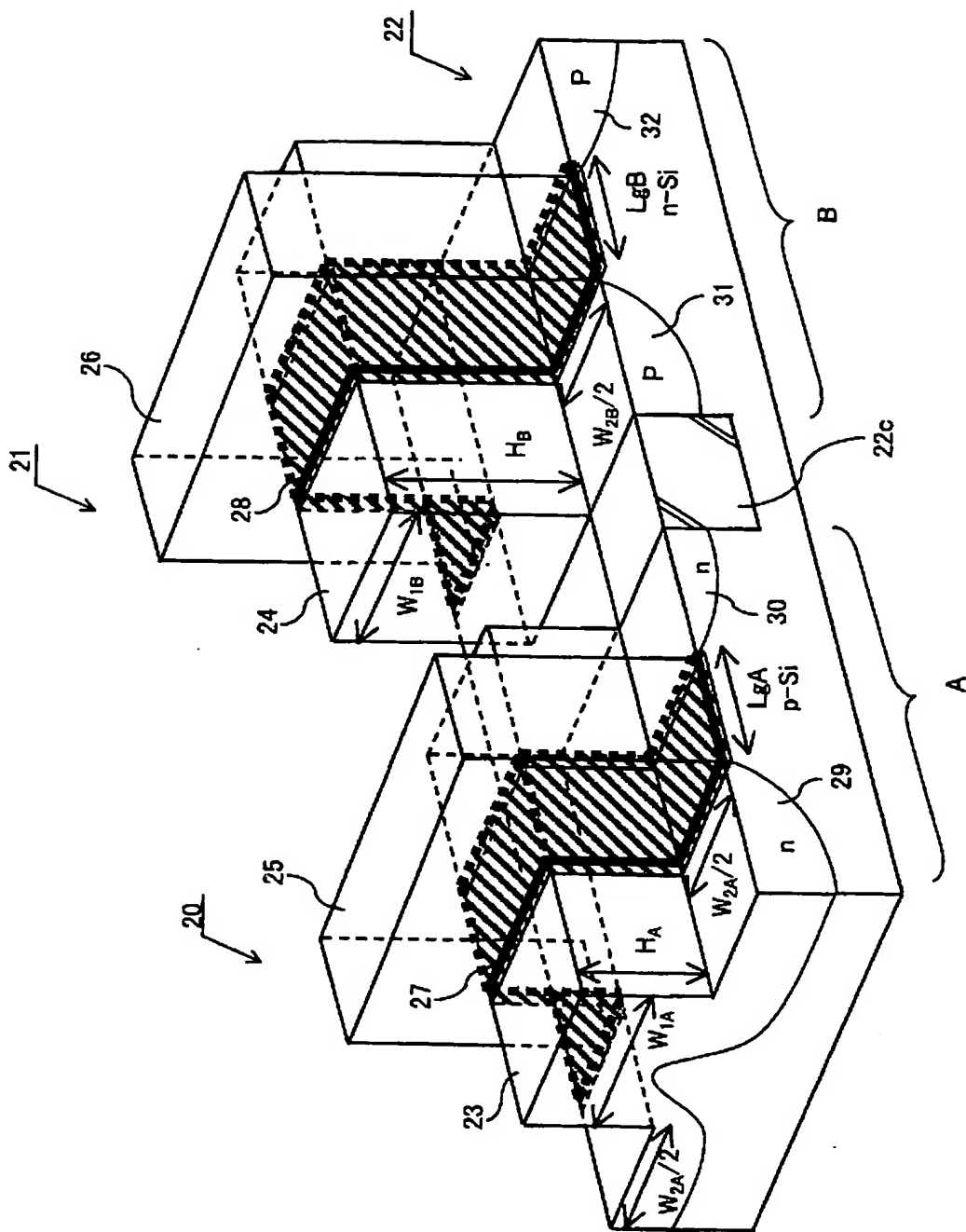
[図2]



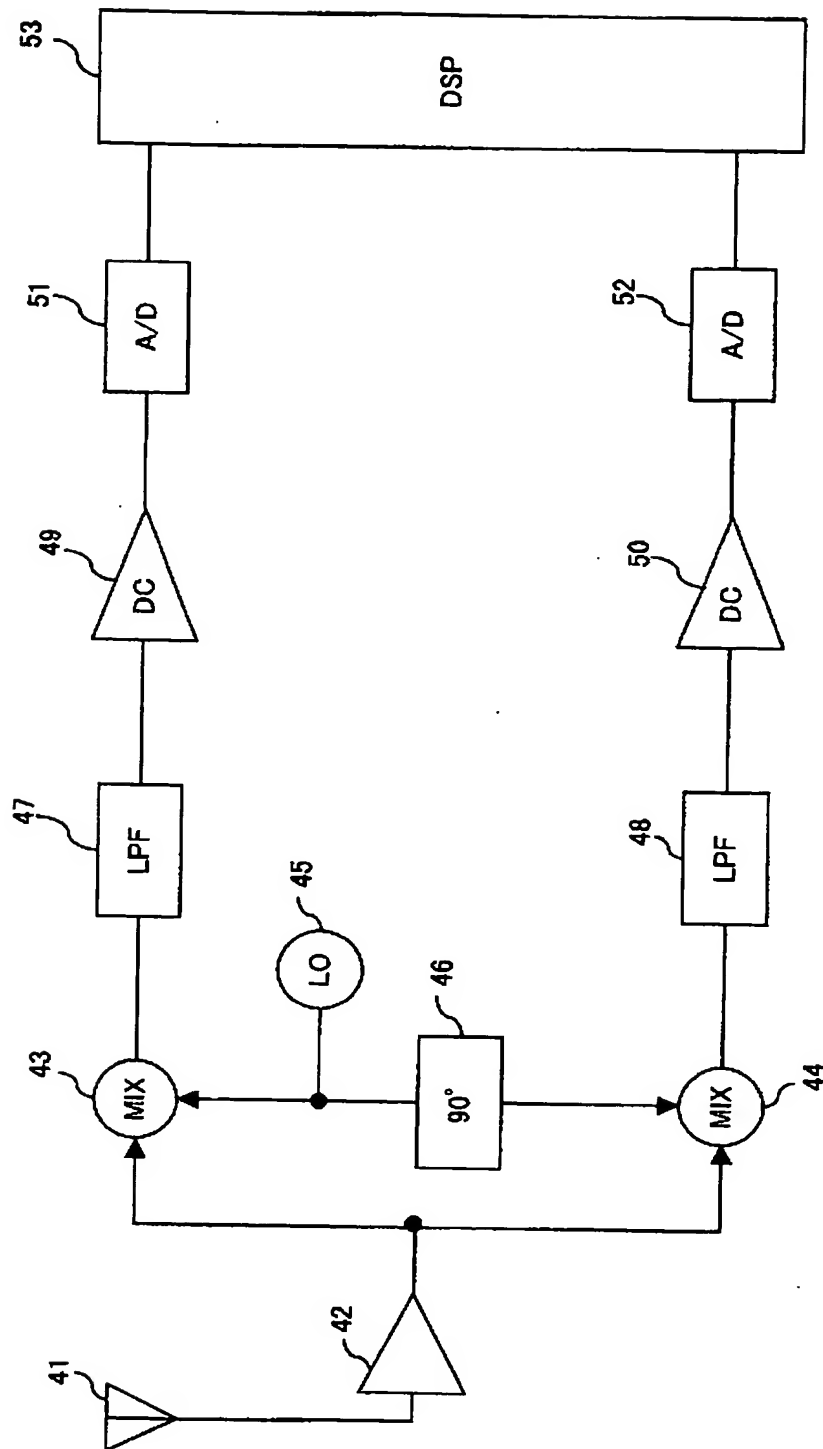
[図3]



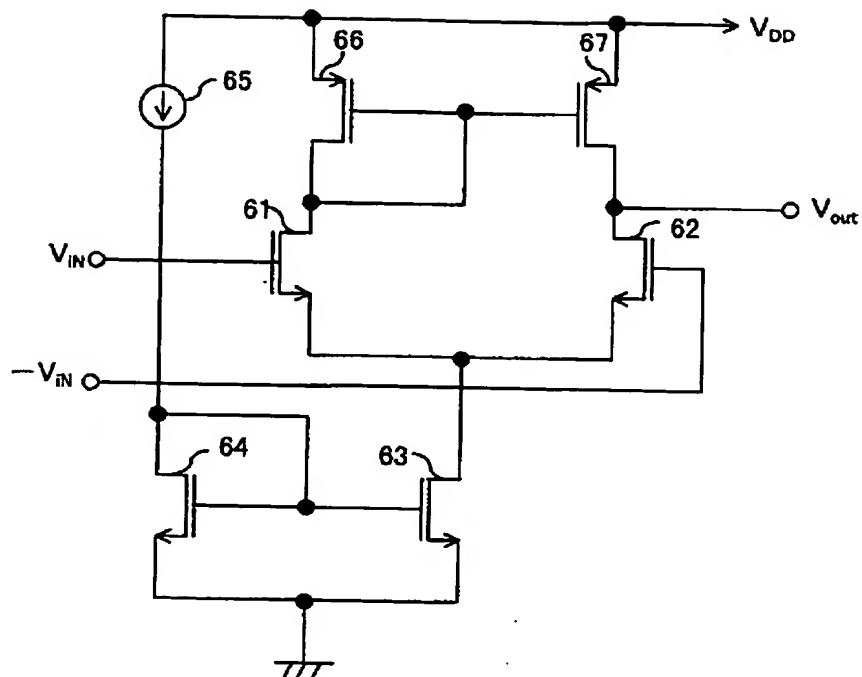
[図4]



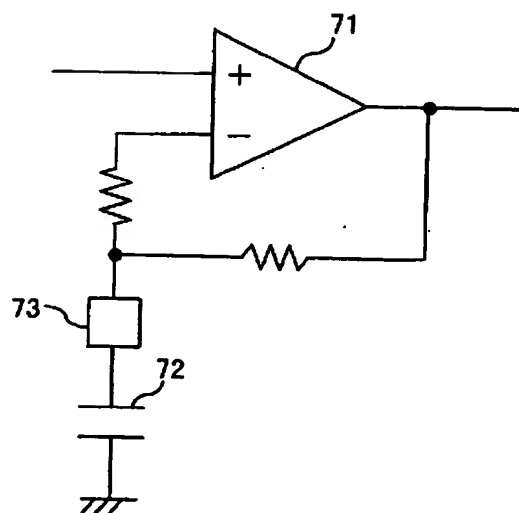
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008221

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/092, H03F3/34, H03F3/45, H01L29/78, H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/092, H03F3/34, H03F3/45, H01L29/78, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2002-118255 A (Toshiba Corp.), 19 April, 2002 (19.04.02), Full text; all drawings & US 2002/011612 A1 Full text; all drawings	1-6, 8 7
Y A	JP 2002-261097 A (Tadahiro OMI), 13 September, 2002 (13.09.02), Full text; all drawings & EP 1347506 A1 Full text; all drawings & WO 2002/054473 A1 & JP 2002-261091 A & KR 3068570 A	1-6, 8 7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 August, 2004 (06.08.04)

Date of mailing of the international search report
24 August, 2004 (24.08.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008221

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 4-154312 A (Fujitsu Ltd., Fujitsu VLSI Ltd.), 27 May, 1992 (27.05.92), Full text; all drawings (Family: none)	1-6, 8 7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ H01L27/092, H03F3/34, H03F3/45, H01L29/78, H01L21/336

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ H01L27/092, H03F3/34, H03F3/45, H01L29/78, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2002-118255 A (株式会社東芝) 2002.04.19, 全文, 全図 & US 2002/011612 A1, 全文, 全図	1-6, 8 7
Y A	JP 2002-261097 A (大見 忠弘) 2002.09.13, 全文, 全図 & EP 1347506 A1, 全文, 全図 & WO 2002/ 054473 A1 & JP 2002-261091 A & KR 3068570 A	1-6, 8 7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

06.08.2004

国際調査報告の発送日

24.8.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

刈 真悟

4 L

3125

電話番号 03-3581-1101 内線 3462

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 4-154312 A (富士通株式会社, 富士通ヴィエルエ スアイ株式会社) 1992. 05. 27, 全文, 全図 (ファミリーなし)	1-6, 8 7